

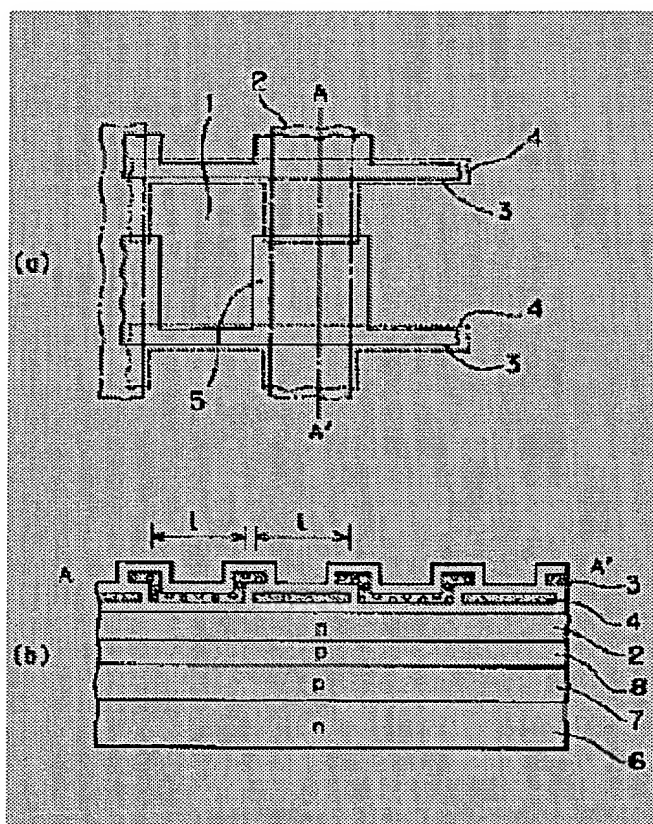
**SOLID-STATE IMAGE PICKUP ELEMENT**

Patent number: JP7226497  
Publication date: 1995-08-22  
Inventor: FURUMIYA MASAYUKI  
Applicant: NIPPON ELECTRIC CO  
Classification:  
- international: H01L27/148; H04N1/028  
- european:  
Application number: JP19940036332 19940210  
Priority number(s): JP19940036332 19940210

Report a data error here

**Abstract of JP7226497**

**PURPOSE:**To provide a solid-state image pickup element of improved transfer efficiency by maximizing the minimum fringe electric field in a vertical CCD register. **CONSTITUTION:**A solid-state image pickup element comprises a CCD channel region 2 adjacent to a row of a photoelectric conversion region 1, and charge transfer electrodes 3, 4 on the CCD channel region 2. The charge-transfer electrode 3 is integrated with a transfer gate 5 to be used for signal charge read-out, an electrode length (l) of the charge transfer direction of the electrode 3 is made equal to the electrode length (l) of the charge-transfer electrode 4.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-226497

(43) 公開日 平成7年(1995)8月22日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/148				
H 0 4 N 1/028	A	7376-4M	H 0 1 L 27/14	B

審査請求 未請求 請求項の数 4 F D (全 6 頁)

(21) 出願番号 特願平6-36332

(22) 出願日 平成6年(1994)2月10日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 富留宮 正之

東京都港区芝五丁目7番1号 日本電気株式会社内

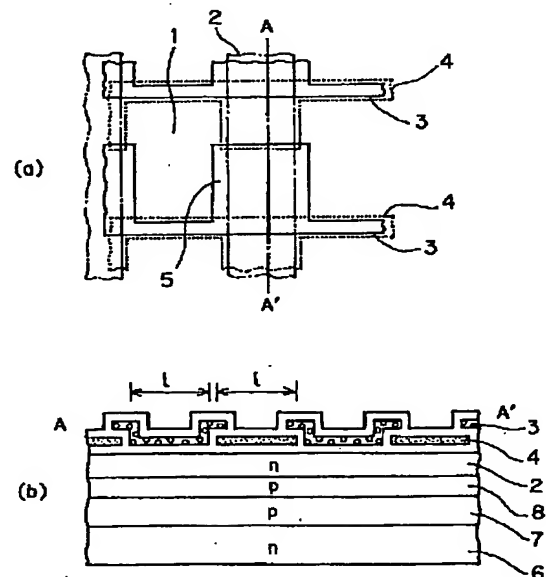
(74) 代理人 弁理士 尾身 祐助

(54) 【発明の名称】 固体撮像素子

(57) 【要約】

【目的】 垂直CCDレジスタにおけるフリンジ電界の最小値が最大になるようにして転送効率の向上を図る。

【構成】 光電変換領域1の列に隣接してCCDチャネル領域2が設けられ、CCDチャネル領域2上に電荷転送電極3、4が設けられ、電荷転送電極3が、信号電荷読み出しのために用いられるトランスファゲート5と一体化されている固体撮像素子において、電荷転送電極3の電荷転送方向の電極長(1)を電荷転送電極4の電極長(1)と等しくする。



1-光電変換領域  
2-CCDチャネル領域  
3,4-電荷転送電極  
5-トランスファゲート

6-n型半導体基板  
7-p型ウェル  
8-p型不純物領域

1

## 【特許請求の範囲】

【請求項1】 複数の光電変換領域と、前記光電変換領域に隣接して設けられたCCDチャネル領域と、前記光電変換領域と前記CCDチャネル領域との間に設けられた電荷読み出し領域と、前記CCDチャネル領域上に設けられた複数の電荷転送電極と、前記電荷読み出し領域上に設けられた、前記光電変換領域から前記CCDチャネル領域へ信号電荷を読み出すためのトランスファゲートと、を備え、前記トランスファゲートが一部の電荷転送電極と一体化されている固体撮像素子において、前記トランスファゲートと一体化されている電荷転送電極の電荷転送方向の電極長が他の電荷転送電極のそれと実質的に等しいことを特徴とする固体撮像素子。

【請求項2】 前記光電変換領域が複数列に配置され、光電変換領域の各列毎にCCDチャネル領域が設けられていることを特徴とする請求項1記載の固体撮像素子。

【請求項3】 前記トランスファゲートの最大のゲート幅が該トランスファゲートと一体化されている電荷転送電極の電荷転送方向の電極長より大きいことを特徴とする請求項1記載の固体撮像素子。

【請求項4】 前記電荷読み出し領域は、読み出し電荷に対する加速電界が形成されるように段階的にまたは連続的に不純物濃度が変化していることを特徴とする請求項1記載の固体撮像素子。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、固体撮像素子に関し、特に、インターライン転送方式の固体撮像素子のよう  
な、光電変換領域にて生成され同領域に蓄積された信号電荷をCCD（電荷結合素子）を介して読み出すようにした固体撮像素子に関する。

## 【0002】

【従来の技術】 図6は、この種インターライン転送方式固体撮像素子の概略の構成を示す平面図である。同図において、100は光電変換を行うフォトダイオード、200は信号電荷を縦方向に転送する垂直CCDレジスタ、300は、信号電荷をフォトダイオード100から垂直CCDレジスタ200へ読み出すための信号電荷読み出し部、400は信号電荷を横方向に転送する水平CCDレジスタ、500は信号電荷を検知し増幅する出力部である。

【0003】 この固体撮像素子の動作は概略次の通りである。各フォトダイオード100は光電変換により入射光量に応じた信号電荷を生成し蓄積しておく。一定の蓄積期間経過後の垂直ブランキング期間内に、フォトダイオード内に蓄積された信号電荷は信号電荷読み出し部300を介して隣接する垂直CCDレジスタ200に一括して読み出される。続いて、この信号電荷は複数の垂直CCDレジスタ200を並列に図の下方に向かって一段ずつ転送され、各垂直CCDレジスタの最終転送段から

2

1行分ずつ水平CCDレジスタ400へ転送される。次いで、この信号電荷は水平CCDレジスタ400を図の左方に順次転送され、出力部500において電圧信号に変換された後、時系列の映像信号として出力される。

【0004】 図7（a）は、図6のAにて囲まれた部分の従来の構成を示す平面図であり、図7（b）はそのB-B'線に沿った断面図である。また、図8は、図7

（a）のC-C'線に沿った断面図である。図7、図8において、1は、n型拡散層からなる、フォトダイオードの一方の領域を構成する光電変換領域、2は、n型拡散層からなる、垂直CCDレジスタのCCDチャネル領域、3は、第2層ポリシリコンにより形成された、垂直CCDレジスタの電荷転送電極、4は、第1層ポリシリコンにより形成された、垂直CCDレジスタの電荷転送電極、5は、電荷転送電極3と一体的に形成された、信号電荷読み出し部のトランスファゲート、6はn型半導体基板、7はp型ウェル、8はp型不純物領域、9は光電変換領域1内に蓄積された信号電荷をCCDチャネル領域2へ読み出すための読み出し領域、10は、各光電変換領域1やCCDチャネル領域2等を互いに分離するための、p<sup>+</sup>型不純物領域からなる素子分離領域、11はフォトダイオードを埋め込み型とするためのp<sup>+</sup>型表面不純物領域、12は絶縁膜、13はAl等で形成された金属遮光膜である。

【0005】 光電変換領域1において光電変換により生成されここに蓄積された信号電荷はトランスファゲート5に10～15Vの読み出しパルス印加することにより、読み出し領域9を通してCCDチャネル領域2へ読み出される。その後、電荷転送電極3、4に-5～-8Vの転送パルス印加することにより、信号電荷はCCDチャネル領域2を、図7（b）において左から右へ、また図8において紙面に垂直方向に転送される。読み出し領域9は、トランスファゲート5に読み出しパルスが印加されたときに導通して光電変換領域1内の信号電荷を完全にCCDチャネル領域内へ転送できるように、かつ、電荷転送電極3、4に転送パルスが印加されてCCDチャネル領域2内を信号電荷が転送されているときには、非導通状態を維持できるように、その不純物濃度が最適値に設定されている。

## 【0006】

【発明が解決しようとする課題】 光電変換領域1に蓄積された電荷をCCDチャネル領域2に読み出すために、トランスファゲート5（電荷転送電極3）に印加する電圧は、駆動回路の制約から15V以下であることが要求される。ここで、トランスファゲート下のチャネル（読み出し領域9）は、その幅W〔図7（a）参照〕が狭いと、当該チャネル幅を決定すべく設けられた素子分離領域10によるポテンシャル変調をうけてオンしにくくなる。

【0007】 この問題を回避するために、従来はチャネ

ル幅Wを素子分離領域からのポテンシャル変調を受けることのない程度に十分広く設定していた。しかし、このようにした場合には、図7(b)に示されるように、トランスファゲートを兼ねる、第2層ポリシリコンによって形成される電荷転送電極3の電極長(垂直CCDレジスタの電荷転送方向の電極長)  $l_1$  が第1層ポリシリコンにより形成される電荷転送電極4の電極長  $l_2$  に比較して長くなる。

【0008】一般にCCDの転送効率は主として転送電極と転送電極との間に発生するフリンジ電界により決定される。特に、転送電極下の最小の電界に大きく依存し、最小フリンジ電界が大きいほど転送に要する時間(転送時間)が短くなり、転送効率は向上する。

【0009】図9に従来例の垂直CCDレジスタの断面図とCCDチャネル領域のポテンシャル分布を示す。図9(b)は、このCCDを4相の転送クロックにより駆動したときのチャネル領域のポテンシャル分布を示す。同図では、ポテンシャルは下向きを正をとって示されている。図9(a)に示されるように、電荷転送電極3の電極長  $l_1$  は、電荷転送電極4の電極長  $l_2$  より長く形成されているため、最小の電界は電荷転送電極3の中央部にあらわれ、その値はこの電極の電極長  $l_1$  が大きくなるほど低くなる。

【0010】そのため、従来のCCDレジスタでは、転送効率が低下し転送可能電荷量も低くなっていた。本発明は、この点に鑑みてなされたものであり、その目的とするところは、CCDレジスタのチャネル部のポテンシャルの傾きの最小値をできるだけ大きくなるようにして、転送効率を向上させ、転送可能電荷量を大きくすることである。

#### 【0011】

【課題を解決するための手段】上記問題点を解決するため、本発明によれば、複数の光電変換領域(1)と、前記光電変換領域に隣接して設けられたCCDチャネル領域(2)と、前記光電変換領域と前記CCDチャネル領域との間に設けられた電荷読み出し領域(9)と、前記CCDチャネル領域上に設けられた複数の電荷転送電極(3、4)と、前記電荷読み出し領域上に設けられた、前記光電変換領域から前記CCDチャネル領域へ信号電荷を読み出すためのトランスファゲート(5)と、を備え、前記トランスファゲートが一部の電荷転送電極と一体化されている固体撮像素子において、前記トランスファゲート(5)と一体化されている電荷転送電極(3)の電荷転送方向の電極長が他の電荷転送電極(4)のそれと実質的に等しいことを特徴とする固体撮像素子が提供される。

#### 【0012】

【実施例】次に、本発明の実施例について図面を参照して説明する。図1(a)は、本発明の第1の実施例の画素領域の部分平面図であって、これは図6のAにて囲ま

れた部分の状態を示したものであり、また図1(b)は、図1(a)のA-A'線に沿った断面図である。画素は、光電変換領域1、CCDチャネル領域2、第2層ポリシリコンからなる電荷転送電極3、第1層電荷転送電極4、電荷転送電極3と一体的に形成されたトランスファゲート5およびトランスファゲート5下の読み出し領域等により構成されている。

【0013】図1(b)に示されるように、本実施例においては、電荷転送電極3と電荷転送電極4との電荷転送方向の実効的電極長(すなわち、電荷転送電極3、4のゲート酸化膜を介してチャネル領域2と対向している部分の長さ)は、それぞれ1と等しくなされている。このように構成することにより、画素の大きさを一定とした場合に、最小フリンジ電界を最大にすることができ、転送効率を向上させることができる。図2を参照してこの点についてさらに詳しく説明する。

【0014】図2(a)はCCDチャネル領域に沿った断面図であり、図2(b)は、電荷転送電極に4相の転送クロックを印加したときのその断面におけるポテンシャル分布を示す図である。ポテンシャルの傾き(フリンジ電界)の最小値(これは転送電極の中央部において現れる)  $k$  は、その電極の前後の電極に印加される転送クロックの電位差に比例しその転送電極の電極長  $l$  に反比例する。したがって、転送クロックの電圧を一定とすれば、電極長  $l$  が小さいほどポテンシャルの傾きの最小値は大きくなる。よって、全ての転送電極についてポテンシャルの傾きの最小値を最大にするには全ての転送電極の電極長を等しくすればよいことになる。図3に、電極長の比を変えた場合の最小フリンジ電界の変化状態を示す。本実施例では、全ての電荷転送電極3、4の電極長  $l$  を等しくしたことにより、そうでない場合に比較して最小フリンジ電界を最大とすることができ、これにより信号電荷の転送がスムーズに行えるようになり、転送効率が向上する。

【0015】図4は、本発明の第2の実施例の画素領域の状態を示す平面図である。同図において、図1の部分と同等の部分については同一の参照番号が付されているので重複する説明は省略する。本実施例においても、先の実施例の場合と同様に、電荷転送電極3と電荷転送電極4との電極長は等しくなされている。本実施例の先の実施例と相違する点は、トランスファゲート5aが、光電変換領域1側で電荷転送電極3の電極長より長くなされている点である。図には示されていないが、トランスファゲート5a下のチャネル領域(読み出し領域)は、このゲート電極の形状に倣って、光電変換領域1側で広く、CCDチャネル領域2側で狭くなるように形成されている。これにより、光電変換領域1内の信号電荷を読み出し領域へ集積しやすくなり、また読み出し領域が素子分離領域を構成する  $p^+$  型拡散層のポテンシャル変調を受けにくくなるため、先の実施例の場合よりも信号電

荷の読み出しがよりスムーズに行えるようになる。

【0016】図5は、本発明の第3の実施例の画素領域の状態を示す断面図である。同図において、図8の部分と同等の部分については同一の参照番号が付されているので重複する説明は省略する。本実施例においても、第1、第2の実施例の場合と同様に、電荷転送電極3の電極長は、図示されていない他の電荷転送電極の電極長と等しくなされている。本実施例においては、読み出し領域におけるポテンシャル勾配が電子に対して光電変換領域1からCCDチャネル領域2に向かう加速電界となるように、トランスファゲート5直下の不純物濃度が設定されている。すなわち、光電変換領域1に近い側の第1読み出し領域9aにおけるp型不純物濃度は、CCDチャネル領域2に近い側の第2読み出し領域9bのp型不純物濃度よりも高くなされている。

【0017】このように構成することにより、読み出される電荷がこのトランスファゲート下において加速されるようになり、電荷の読み出しがスムーズに行えるようになるため電荷の読み出し残りを減少させることができる。このような不純物プロファイルは、トランスファゲート下のp型不純物層を形成する際に、イオン注入のマスクを変えることによって実現できるほか、一つのマスクを用いてイオン注入の角度を変えることによっても実現できる。

【0018】以上好ましい実施例について説明したが、本発明はこれら実施例に限定されるものではなく、本願発明の要旨を逸脱しない範囲内において各種の変更が可能である。例えば、第3の実施例を変更して読み出し領域を3つ以上の領域に分割して不純物濃度を段階的に変えることができ、さらに不純物濃度を連続的に変化させるようにすることもできる。また、第2、第3の実施例を組合せて用いることができる。また、本発明は、4相駆動方式のCCDばかりでなく、3相等の実施例と異なる相数の転送パルスを用いるものにも適用しうる。

#### 【0019】

【発明の効果】以上説明したように、本発明の固体撮像素子は、トランスファゲートを兼ねる電荷転送電極とその他の電荷転送電極との電荷転送方向の電極長を等しくしたものであるので、フリンジ電界の最小値を最大とすることができ、転送効率を向上させて高い画質の映像信号を得ることができる。また、トランスファゲートの幅を電荷転送電極の電極長より大きくする実施例やトランスファゲート下のチャネル領域に読み出し電荷に対する

加速電界を形成する実施例によれば、信号電荷の読み出しをスムーズに行うことができるようになり、電荷読み出し残りの発生を防止することができる。あるいは読み出しパルスをより低減化させることができるようになり、これによりセルの微細化を達成することが可能となる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施例の画素領域の状態を示す部分平面図とそのA-A'線の断面図。

10 【図2】本発明の第1の実施例の効果を説明するための断面図とその断面におけるポテンシャル分布図。

【図3】本発明の第1の実施例の効果を説明するための特性曲線図。

【図4】本発明の第2の実施例の画素領域の状態を示す部分平面図。

【図5】本発明の第3の実施例を示す断面図。

【図6】固体撮像素子の概略の構成を示す平面図。

【図7】従来例の画素領域の状態を示す部分平面図とそのB-B'線の断面図。

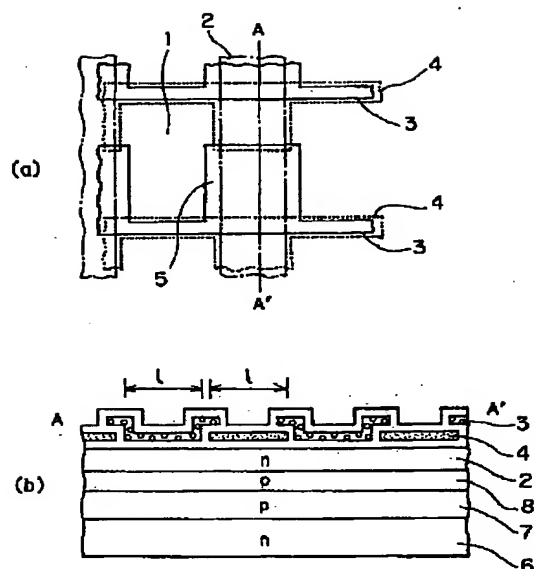
20 【図8】図7(a)のC-C'線の断面図。

【図9】従来例の問題点を説明するための断面図とその断面におけるポテンシャル分布図。

#### 【符号の説明】

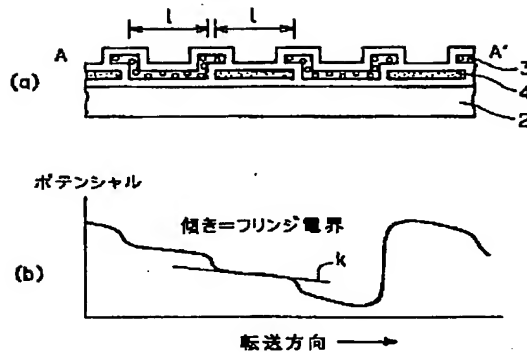
- 1 光電変換領域
- 2 CCDチャネル領域
- 3 電荷転送電極(第2層ポリシリコン)
- 4 電荷転送電極(第1層ポリシリコン)
- 5、5a トランスファゲート
- 6 n型半導体基板
- 30 7 p型ウェル
- 8 p型不純物領域
- 9 読み出し領域
- 9a 第1読み出し領域
- 9b 第2読み出し領域
- 10 素子分離領域
- 11 p<sup>+</sup>型表面不純物領域
- 12 絶縁膜
- 13 金属遮光膜
- 40 100 フォトダイオード
- 200 垂直CCDレジスタ
- 300 信号電荷読み出し部
- 400 水平CCDレジスタ
- 500 出力部

【図1】

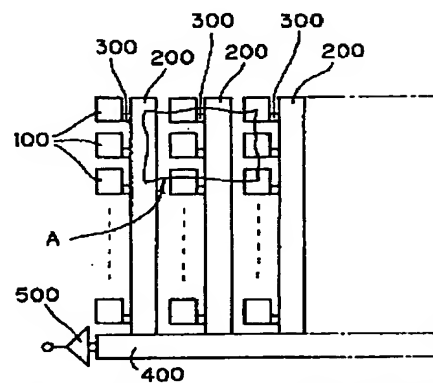


- 1-光電変換領域  
2-CCDチャネル領域  
3,4-電荷転送電極  
5-トランスファゲート  
6-n型半導体基板  
7-p型ウェル  
8-p型不純物領域  
9-n型不純物領域

【図2】

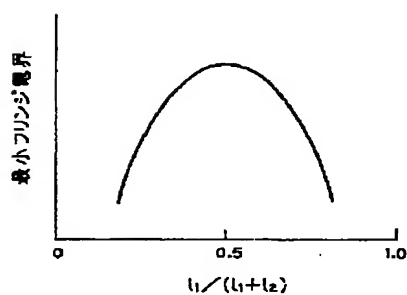


【図6】

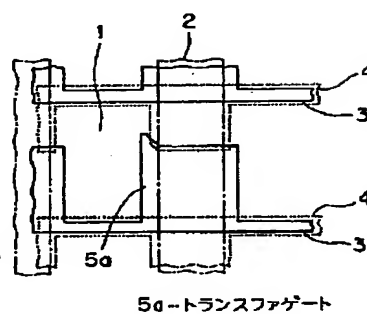


- 100-フォトダイオード  
200-垂直CCDレジスタ  
300-信号電荷読み出し部  
400-水平CCDレジスタ  
500-出力部

【図3】

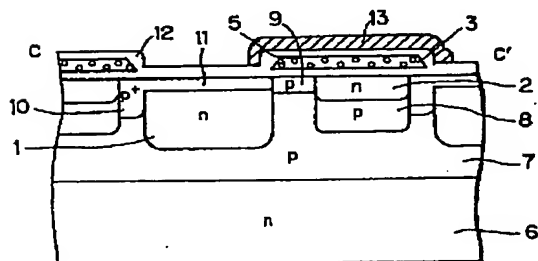


【図4】

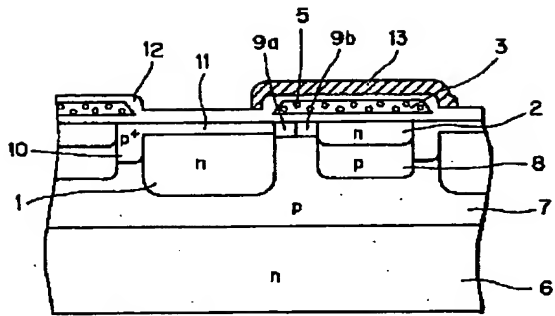


5a-トランスファゲート

【図8】

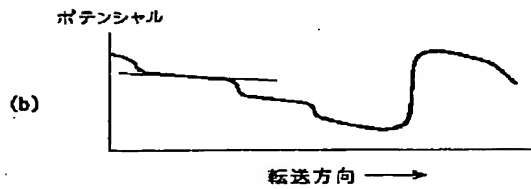
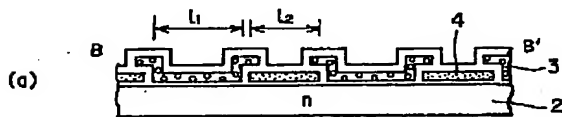


【図5】



- 9a--第1読み出し領域      11--p<sup>+</sup>型表面不純物領域  
 9b--第2読み出し領域      12--絶縁膜  
 10--素子分離領域      13--金属遮光膜

【図9】



【図7】

